

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- ✓ • BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 29/772

(11) 공개번호
(43) 공개일자

특2003-0019581
2003년03월06일

(21) 출원번호	10-2003-7000659
(22) 출원일자	2003년01월16일
번역문 제출일자	2003년01월16일
(86) 국제출원번호	PCT/JP2002/04723
(86) 국제출원출원일자	2002년05월16일
(87) 국제공개번호	WO 2002/93651
(87) 국제공개일자	2002년11월21일
(81) 지정국	국내특허: 대한민국, 미국 EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터키
(30) 우선권주장	JP-P-2001-00147878 2001년05월17일 일본(JP)
(71) 출원인	소니 가부시끼 가이샤 일본 000-000 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고
(72) 발명자	스즈키토시하루 일본 일본국도쿄도시나가와구기타시나가와6초메7-35소니가부시끼가이샤내
(74) 대리인	이병호
(77) 심사청구	없음
(54) 출원명	홉 게이트형 전계 효과 트랜지스터 및 그 제조 방법

명세서

기술분야

본 발명은 미세화에 대응하고, 또한 단채널 효과를 억제할 수 있는 홉 게이트형 전계 효과 트랜지스터에 관한 것이다.

배경기술

실리콘 기판을 사용한 MOS형 LSI는 현재 0.18 μm 의 디자인 룰(설계 기준)의 LSI가 양산으로 이행한 단계에 있지만, 미세화에 의한 집적도의 향상이 더욱 요구되고 있어, 0.13 μm 에서 0.10 μm 의 디자인 룰의 LSI가 개발되고 있다. 이 LSI에는 동작 속도의 고속화나 저소비 전력화도 요구되고 있다.

LSI를 미세화하여, 집적도를 대규모로 할 경우, 개개의 트랜지스터 성능의 격차를 억제하는 것 외에도, 단채널 효과를 억제하는 것이 극히 중요한 과제가 된다. 이 때문에, 이미 실용화되어 있는 반도체 기판 상에 게이트를 형성하여, 소스와 드레인을 게이트에 대하여 자기 정합적으로 형성하는 MOS형 전계 효과 트랜지스터에 있어서는, 소스나 드레인의 불순물 농도, 형상, 채널 영역의 웰 불순물 프로파일 등의 최적화를 도모하는 것이 이루어지고 있으며, 또한 소스나 드레인의 끝에 경사 이온 주입 등의 방법으로 반대 도전형의, 소위, Halo 또는 포켓이라 불리는 불순물 영역을 형성하여, 단채널 효과를 억제하는 것이 시도되고 있다. 그렇지만, 다수의 패러미터 최적화에는 막대한 노동력이 필요시되기 때문에, 그 개발과 양산화에는 장시간이 필요시되고 있다. 또한, 단채널 효과가 충분히 억제되어 있다고도 할 수 없다.

또한, 0.1 μm 의 디자인 룰 이후의 미세화한 트랜지스터에 있어서는, 미세화 경향에 따른 트랜지스터 성능을 달성하는 것이 어려워, 새로운 재료의 채용이 필요시되고 있다. 예를 들면, 디자인 룰이 0.1 μm 이후의 트랜지스터에서는 게이트 절연막이 실리콘 산화막 환산으로 2nm 이하가 되며, 실리콘 산화막의 직접 터널 전류 영역이 되기 때문에, 게이트 절연막으로서 실리콘 산화막 대신 고유전을 절연막을 채용하는 것이 필요시되고 있다.

또한, 게이트를 종전의 폴리실리콘으로 형성하면 게이트 그 자체에 공핍화가 생겨, 트랜지스터의 성능 향상의 방해가 되기 때문에, 게이트의 형성 재료에 TiN, Mo 등의 금속 재료를 채용하는 것이 필요시되고 있다. 그렇지만, 이러한 금속 재료는 게이트에 대하여 자기 정합적으로 소스나 드레인을 형성하는 종전의 트랜지스터 제조 방법에 있어서는, 소스나 드레인 형성 시의 열 처리에 견딜 수 없기 때문에, 지금까지의 트랜지스터 제조 방법의 채용을 불가능하게 한다.

그래서, 게이트를 금속 재료로 형성하기 위한 트랜지스터의 형성 수법으로서, 소위, 다마신(damascene) 게이트 트랜지스터가 제안되고 있다.

도 8a 내지 도 8i는 다마신 게이트법에 의해 n형 트랜지스터(100X)를 제조하는 방법의 공정 설명도이다.

이 방법에서는 우선, p형의 실리콘 기판(1)에 소자 분리(2)를 형성하고, 더욱이 SiO₂

등으로 이루어지는 스루막(3)을 형성하고(도 8a), 스루막(3)을 통해 이온 주입함으로써 웰(4) 및 V_{th} 의 적성화층(도시하지 않음)을 각각 형성한다(도 8b). 다음으로 스루막(3)을 제거한 후, 1000℃, 30분 정도의 열 산화에 의해 3 내지 5nm 정도의 게이트 절연막(5)을 형성하고, 그 위에 광양 CVD 등에 의해, 더미 게이트가 되는 두께 500nm 정도의 폴리실리콘(6)을 퇴적한다(도 8c). 그 후, 리소그래피 기술과 에칭 기술을 사용하여 소망하는 디자인 룰의 게이트 패턴(더미 게이트)(6')을 형성한다. 그리고, 이 게이트 패턴(6')을 마스크로 하여, 확장 소스(7a), 확장 드레인(7b)이 되는 비소 등의 불순물을 화살표와 같이 10keV, $1 \times 10^{15} \text{ cm}^{-2}$ 정도 이온 주입한다(도 8d). 다음으로, 통상의 CVD법에 의해 SiO_2 막을 퇴적하여, 이방성 에칭함으로써, 사이드 웰(8)을 형성하고, 다시 이온 주입함으로써, 소스(S), 드레인(D)이 되는 불순물 도입층을 형성하는 비소를 30keV에서 $3 \times 10^{15} \text{ cm}^{-2}$ 정도 도입한다(도 8e).

다음으로, 단채널 효과의 억제제를 위한 포켓(Halo)(10)을 형성하기 위해, 기판면의 법선에 대하여 10° 내지 30°의 각도로 비소 등의 p형 불순물을 20keV, $1 \times 10^{13} \text{ cm}^{-2}$ 정도 이온 주입한다(도 8f). 그리고, 지금까지 기판(1)에 도입한 불순물을 활성화하기 위해, 전기로에서 900℃, 30분 정도 혹은 급속 가열법에 의해 1050℃, 10초 정도의 어닐링을 실시한다.

그 후, CVD법에 의해 SiO_2 등의 층간 절연막(11)을 퇴적하고, 다음으로, 층간 절연막(11)을 더미 게이트(6')가 노출할 때까지 CMP에서 연마하며, 더욱이 더미 게이트(6')를 에칭으로 제거하여, 홈(12)을 형성한다(도 8g).

이 홈(12)에 진정한 게이트(G)가 되는 금속(13)을 스퍼터법 또는 CVD법으로 매입하여, 다시 CMP로 평탄화하여(도 8h), 소스, 드레인의 추출 전극(14)을 형성하여(도 8i), 트랜지스터(100X)를 얻는다. 도 9는 이렇게 하여 얻은 트랜지스터(100X)의 상면도이다.

또한, 이 다마신 게이트법에 의한 트랜지스터 형성에 있어서, 게이트 절연막(5)의 신뢰성을 높이기 위해서는, 게이트 절연막(5)을 더미 게이트(6') 형성 전에 형성하는 것이 아니라, 더미 게이트(6')를 제거한 후에 열 산화에 의해 형성하는 것이 바람직하다. 또한, 게이트 절연막(5)으로서 고유전율 절연막을 형성할 경우에는, 더미 게이트(6')를 제거한 후, 홈(12) 내에 스퍼터법 또는 CVD법에 의해 ZrO_2 , Al_2O_3 등의 고유전율 절연막을 형성하는 것이 바람직하다.

이렇게 고유전율 절연막으로 이루어지는 게이트 절연막의 형성 혹은 금속 재료로 이루어지는 게이트 형성을 불순물을 활성화하는 어닐링 후에 행함으로써, 고유전율 절연막 혹은 게이트가 어닐링 시의 열에 의해 변성하거나, 상하의 층과 반응하는 것을 최소한으로 억제할 수 있다. 따라서, 게이트 절연막을 막 두께가 두꺼운 고유전율 절연막으로 형성함으로써, 게이트 절연막을 실리콘 산화막으로 형성할 경우에 문제가 되는 직접 터널 전류를 방지할 수 있으며, 또한, 게이트를 금속 재료로 형성함으로써, 게이트를 폴리실리콘으로 형성할 경우에 문제가 되는 게이트 공핍화를 방지할 수 있다.

그렇지만, 다마신 게이트법에 의해서도, 단채널 효과를 종전 구조의 트랜지스터 이상으로는 저감시킬 수 없다. 또한, 이 방법으로 트랜지스터를 형성할 경우에 필요해지는 마스크 매수는 종전의 게이트에 대하여 자기 정합적으로 소스나 드레인을 형성하는 트랜지스터의 제조 방법과 다르지 않지만, 더미 게이트의 형성이나 제거를 위해 공정수가 증가한다는 문제가 있다.

이에 대하여, 단채널 효과를 억제하기 위해, 홈 게이트형 트랜지스터가 제안되고 있다. 도 10a 내지 도 10g는 홈 게이트형 트랜지스터(100Y)를 제조하는 방법의 공정 설명도이다.

이 방법에서는, p형의 실리콘 기판(1)에 셸로우 트랜치(shallow trench) 등의 소자 분리(2)를 형성하고, 더욱이 SiO_2 등으로 이루어지는 스루막(3)을 형성하며, 스루막(3)을 통해 화살표와 같이 이온 주입함으로써 웰 및 V_{th} 의 웰(4)을 각각 형성한다(도 10a).

다음으로, n형의 불순물인 인, 비소 등을 화살표와 같이 50keV, $3 \times 10^{15} \text{ cm}^{-2}$ 정도 이온 주입하여, 소스(S)와 드레인(D)을 구성하는 불순물 도입층(9)을 형성한다(도 10b). 더욱이, 확장 소스(7a), 확장 드레인(7b)을 구성하는 불순물 도입층(7)을 형성하기 위해, 소스(S), 드레인(D)을 구성하는 불순물 도입층(9)을 형성하기 위한 이온 주입보다도 어느 정도 높은 에너지로 $1 \times 10^{15} \text{ cm}^{-2}$ 정도의 n형 불순물을 주입한다(도 10c). 그리고, 지금까지 기판(1)에 도입한 불순물을 활성화하기 위해, 전기로에서 900℃, 30분 정도, 혹은 급속 가열법에 의해 1050℃, 10초 정도의 어닐링을 실시한다.

다음으로, CVD법에 의해 SiO_2 등의 층간 절연막(11)을 퇴적하고, 이어서, 리소그래피 기술 및 드라이 에칭 기술을 사용하여, 게이트를 형성하는 홈(15)을, 소스, 드레인을 형성하는 불순물 도입층(9)의 끝까지, 혹은 그 끝보다도 수십nm 정도 깊이까지 형성한다(도 10d).

그 후, 1000℃, 30분 정도의 열 산화에 의해 3 내지 5nm 정도의 게이트 절연막(5)을 홈(15)의 바닥면 및 측면으로 성장시키고(도 10e), 더욱이 이 홈(15) 내에 폴리실리콘/텅스텐실리사이드, 혹은 금속 게이트가 되는 TiN, Mo 등의 금속(13)을 CVD법 또는 스퍼터법에 의해 충전한다(도 10f).

마지막으로, 소스(S), 드레인(D)의 추출 전극(14)을 형성하여, 홈 게이트형 트랜지스터(100Y)를 얻는다(도 10g). 도 11은 이 홈 게이트형 트랜지스터(100Y)의 상면도이다.

이 홈 게이트형 트랜지스터의 구조에서는, 소스(S)와 드레인(D)의 거리가 게이트 길이보다도 길고, 또한 소스(S)와 드레인(D)이 직접 대면하지 않기 때문에, 단채널 효과가 일어나기 어렵다. 또한, 소스(S), 드레인(D)은 두껍게 형성하여도 단채널 효과를 생기게 하지 않기 때문에, 이들을 두껍게 형성함으로써, 소스(S)나 드레인(D)의 저저항화와, 이후의 실리사이드 형성에 의한 리크 저감을 도모할 수 있다. 더욱이, 홈 게이트형 트랜지스터는 게이트에 대하여 소스나 드레인을 자기 정합적으로 형성하는 종전의 트랜지스터에 비하여 적은 공정수로 제조할 수 있다는 이점도 갖고 있다.

그렇지만, 홈 게이트형 트랜지스터에서는, 도 11에 도시하는 바와 같이, 소스(S), 확장 소스(7a), 드레인(D), 확장 드레인(7b)과, 게이트(G)가 극히 얇은 게이트 절연막(5)을 개재하여 넓은 범위에 걸쳐 대향하고 있기 때문에, 드레인(D) 혹은 소스(S)와 게이트(G)와의 용량이 도 8a 내지 도 8i에 도시한 다마신 게이트 트랜지스터(100X)에 비하여 현저하게 크다는 문제가 생긴다.

또한, 홈 게이트형 트랜지스터의 실효적인 게이트 길이는 리소그래피 능력으로 규정되는 디자인 룰보다도 길어지는 경향이 있다. 이 때문에, 홈 게이트형 트랜지스터는 초고속의 동작 속도를 얻을 목적으로는 적합하지 않다.

이상과 같은 종래의 MOS 혹은 MIS 트랜지스터에 대하여, 본 발명은 전계 효과 트랜지스터의 미세화와 대규모의 집적화를 도모하는 것 외에도, 게이트를 금속 재료로 형성하고, 또한, 게이트 절연막을 고유전율 절연체로 형성하는 것에 대응할 수 있으며, 더욱이 단채널 효과를 효과적으로 억제하여, 드레인 혹은 소스와 게이트와의 용량을 저감시켜 동작 속도를 높일 수 있도록 하는 것을 목적으로 한다.

발명의 상세한 설명

본 발명자는 금속 재료로 이루어지는 게이트 형성이나, 고유전율을 절연막으로 이루어지는 게이트 절연막 형성에 적합한 흠 게이트형 전계 효과 트랜지스터 구조에 있어서, 게이트를 매입하는 흠에 사이드 월을 형성하고, 또한, 그 흠의 바닥면에 사이드 월을 마스크로 하여 제 2 흠을 형성하며, 이 제 2 흠의 바닥면에 게이트 절연막을 형성하여, 이들 흠을 매우도록 게이트를 형성하면, 소스와 드레인이 대향하지 않고, 그 사이의 거리를 길게 잡을 수 있기 때문에, 단채널 효과를 효과적으로 억제할 수 있으며, 트랜지스터의 초미세화가 가능해지는 것, 또한, 사이드 월에 의해, 소스 혹은 드레인과 게이트와의 용량을 대폭 저감시킬 수 있기 때문에, 동작 속도를 높여 트랜지스터의 성능을 보다 효과적으로 끌어낼 수 있는 것을 발견하였다.

즉, 본 발명은 불순물 도입층을 구비한 반도체 기판에 뚫은 제 1 흠의 측벽에 형성된 절연 재료로 이루어지는 사이드 월, 제 1 흠의 바닥면에 뚫은 제 2 흠의 바닥면에 설치된 게이트 절연막, 제 1 흠과 제 2 흠을 매우도록 형성된 게이트 및 상기 불순물 도입층으로 이루어지며, 사이드 월을 개재하여 게이트와 대향하는 소스 및 드레인으로 이루어지는 흠 게이트형 전계 효과 트랜지스터를 제공한다.

또한, 본 발명은 이러한 흠 게이트형 전계 효과 트랜지스터의 제조 방법으로서, 반도체 기판에 소스 또는 드레인이 되는 불순물 도입층을 형성하여, 상기 반도체 기판에 제 1 흠을 뚫어, 제 1 흠의 측벽에 절연 재료로 이루어지는 사이드 월을 형성하고, 사이드 월을 마스크로 하여 제 1 흠의 바닥면에 제 2 흠을 뚫어, 제 2 흠의 바닥면에 게이트 절연막을 형성하며, 제 2 흠 및 제 1 흠을 매우도록 게이트를 형성하는 것을 특징으로 하는 흠 게이트형 전계 효과 트랜지스터의 제조 방법을 제공한다.

도면의 간단한 설명

도 1a 내지 도 1h는 실시예의 트랜지스터 제조 방법의 공정 설명도.

도 2a 내지 도 2i는 실시예의 트랜지스터 제조 방법의 공정 설명도.

도 3a 내지 도 3i는 실시예의 트랜지스터 제조 방법의 공정 설명도.

도 4a 내지 도 4j는 실시예의 트랜지스터 제조 방법의 공정 설명도.

도 5a 내지 도 5d는 실시예의 트랜지스터 제조 방법의 공정 설명도.

도 6은 실시예의 트랜지스터의 단면도.

도 7a 내지 도 7g는 실시예의 트랜지스터 제조 방법의 공정 설명도.

도 8a 내지 도 8h는 종래의 다마신 게이트 트랜지스터 제조 방법의 공정 설명도.

도 9는 종래의 다마신 게이트 트랜지스터의 상면도.

도 10a 내지 도 10g는 종래의 흠 게이트형 트랜지스터 제조 방법의 공정 설명도.

도 11은 종래의 흠 게이트형 트랜지스터의 상면도.

실시예

이하, 도면을 참조하면서 본 발명을 구체적으로 설명한다. 또한, 각 도면 중, 동일 부호는 동일 또는 동등한 구성 요소를 나타내고 있다.

도 1a 내지 도 1h는 실험 게이트 길이 $0.1\mu\text{m}$ 정도의 n형 흠 게이트형 MOS(MIS) 트랜지스터를 제작하는 본 발명의 한 실시예의 제조 공정의 설명도이다.

본 실시예에서는, 우선 도 10a 내지 도 10g에 도시한 종래의 흠 게이트형 트랜지스터(100Y)의 제조 방법과 마찬가지로, p형의 실리콘 기판(1)에 셀로우 트랜치 등의 소자 분리(2)를 $0.34\mu\text{m}$ 정도의 간격으로 형성하고, 더욱이 SiO_2 등으로 이루어지는 스루막(3)을 형성하여, 스루막(3)을 통해 이온 주입함으로써 웰(4) 및 V_{th} 의 적성화층(도시하지 않음)을 각각 형성한다(도 1a).

다음으로, 소스(S), 드레인(D)의 형성 영역에 n형의 불순물인 인, 비소 등을 $3 \times 10^{15} \text{ cm}^{-2}$ 정도의 농도로 0.1 내지 $0.2\mu\text{m}$ 정도의 깊이로 이온 주입함으로써 불순물 도입층(9)을 형성한다(도 1b).

또한, 스루막(3) 상에 CVD법 등에 의해 SiO_2 등의 층간 절연막(11)을 0.2 내지 $0.3\mu\text{m}$ 정도 퇴적하여, 여기에 전기로에서 900°C , 30분 정도, 혹은 급속 가열법에 의해 1050°C , 10초 정도의 어닐링을 실시하여, 지금까지 기판(1)에 주입한 불순물을 활성화한다. 그 후, 예를 들면, KrF 레이저 등을 사용한 리소그래피 기술에 의해, 소자 분리(2) 사이의 거의 중앙에 폭(L1)이 $0.18\mu\text{m}$ 정도인 제 1 흠(20)을 층간 절연막(11)을 관통하여 불순물 도입층(9)의 프로파일의 끝보다도 수십nm 정도 얇은 깊이까지 형성한다(도 1c).

다음으로, CVD법과 이방성 에칭을 조합하여, 제 1 흠(20)의 측벽에 SiO_2 등의 절연 재료로 이루어지는 사이드 월(21)을 두께(L2)가 $0.05\mu\text{m}$ 정도가 되도록 형성함과 동시에, 제 1 흠(20)의 바닥면에서 기판(1)을 노출시킨다(도 1d).

이 사이드 월(21)을 마스크로 하여, 제 1 흠(20)의 바닥면에 노출되어 있는 기판(1)에 선택 에칭을, 실리콘은 에칭하지만 실리콘 산화막은 에칭하지 않는 HBr 등의 에칭 가스를 사용하여 행함으로써, 제 2 흠(22)을 불순물 도입층(9)의 프로파일의 끝 부분의 깊이 또는 그 끝 부분보다도 수십nm 정도 깊은 깊이까지 형성한다(도 1e).

다음으로, 950℃, 20분 정도의 건조 산소 속에서 제 2 홀(22)의 바닥면을 열 산화함으로써, 두께 2 내지 3nm의 게이트 절연막(5)을 형성하거나 혹은 CVD법 또는 스퍼터법 등을 사용하여, 제 2 홀(22)의 바닥면에 고유전율 절연막으로 이루어지는 게이트 절연막(5)을 형성한다(도 1f).

그 후, 홀 안을 폴리실리콘과 텅스텐실리사이드의 2층 구조로 메우거나 혹은 CVD법, 스퍼터법 등을 사용하여 TiN, Mo 등의 금속(13)으로 메움으로써 게이트(G)를 형성하여, CMP 등으로 평탄화한다(도 1g).

마지막으로, 소스(S), 드레인(D)의 추출 전극(14)을 형성하여 트랜지스터(100A)를 얻는다(도 1h).

이렇게 하여 얻은 트랜지스터(100A)에 의하면, 고농도로 불순물이 도입된 소스(S)와 드레인(D) 사이에는 게이트(G)가 돌출하여 형성되어 있기 때문에, 소스(S)와 드레인(D)이 대향하지 않으며, 또한, 종래의 홀 게이트형 트랜지스터에 비하여 소스(S)와 드레인(D) 사이의 거리를 길게 잡을 수 있다. 따라서, 단채널 효과를 효과적으로 억제할 수 있다. 또한, 소스(S) 혹은 드레인(D)과 게이트(G) 사이의 절연막이 두께 3nm 정도의 게이트 절연막(5)만큼인 종래의 홀 게이트형 트랜지스터 경우에 비하여, 이 트랜지스터(100A)에 의하면, 비교적 두꺼운 절연막으로 이루어지는 사이드 월(21)이 설치되어 있기 때문에, 소스(S) 혹은 드레인(D)과 게이트(G) 사이의 용량을 10분의 1 이하 정도로 저감시킬 수 있다. 더욱이, 이 트랜지스터(100A)의 제조 방법에 의하면, 게이트 절연막(5) 및 게이트(G) 형성이 소스(S)나 드레인(D) 형성을 위한 열 공정 후에 행하여지기 때문에, 게이트 절연막 재료로서 고유전율 절연막을 채용하기 쉽게 되기 때문에 직접 터널 전류를 방지할 수 있음과 동시에, 게이트를 금속으로 형성하는 것이 가능해지기 때문에 게이트의 공핍화에 의한 트랜지스터 성능 열화를 막을 수 있다.

또한, 제 1 홀(20)에 대하여 제 2 홀(22)은 사이드 월(21)에 의해 자기 정합적으로 형성되고, 또한 제 2 홀(22)의 폭(L3)은 제 1 홀(20)의 폭(L1)보다도 좁게 형성되기 때문에, 제 2 홀(22)의 폭(L3)은 제 1 홀(20)을 규정하는 리소그래피의 능력보다도 자동적으로 좁은 폭으로 형성된다. 보다 구체적으로는 예를 들면, 제 1 홀(20)의 폭(L1)을 0.18 μm 으로 하고, 사이드 월(21)의 폭(L2)을 0.05 μm 으로 할 경우, 제 2 홀(22)의 폭(L3)은 0.08 μm 으로 형성되게 된다. 따라서, 본 발명에 의하면, 현재 실용화되어 있는 KrF 리소그래피 혹은 ArF 리소그래피에서도 곤란하게 되어 있는 0.08 μm 혹은 그 이하의 극히 게이트 길이가 짧은 미세화한 트랜지스터를 형성하는 것이 가능해진다.

도 1a 내지 도 1h에 도시한 홀 게이트형 트랜지스터(100A)에 대해서는 소스, 드레인을 형성하는 불순물 도입층(9)과 동일한 도전형의 제 2 불순물 도입층을 불순물 도입층(9)보다도 기판의 깊은 부위에 불순물 농도를 불순물 도입층(9)의 몇분의 1 정도로 형성하여, 확장 소스, 확장 드레인을 설치함으로써, 단채널 효과를 더욱 억제할 수 있다.

도 2a 내지 도 2i는 이러한 확장 소스, 확장 드레인을 설치한 본 발명의 한 실시예의 홀 게이트형 MOS(MIS) 트랜지스터(100B)의 제조 공정의 설명도이다.

이 실시예에서는 도 1a 내지 도 1h에 도시한 홀 게이트형 트랜지스터(100A)와 마찬가지로, p형의 실리콘 기판(1)에 소자 분리(2), 스루막(3), 웰(4), Vth의 적성화층(도시하지 않음)을 각각 형성하고(도 2a), 더욱이, 소스(S), 드레인(D)의 형성 영역에 n형의 불순물인 인, 비소 등을 $3 \times 10^{15} \text{ cm}^{-2}$ 정도의 농도로 0.1 내지 0.2 μm 정도의 깊이로 이온 주입함으로써 불순물 도입층(9)을 형성한다(도 2b).

이어서, 스루막(3) 상에, CVD법 등에 의해 SiO₂ 등의 층간 절연막(11)을 0.2 내지 0.3 μm 정도 퇴적하고, 그 위부터, 예를 들면, KrF 레이저 등을 사용한 리소그래피 기술에 의해, 소자 분리(2) 사이의 거의 중앙에 폭(L1)이 0.18 μm 정도의 제 1 홀(20)을 층간 절연막(11)을 관통하여, 불순물 도입층(9)의 프로파일의 끝보다도 수십nm 정도 얇은 깊이까지 형성한다(도 2c).

제 1 홀(20) 내의 바닥면 및 측면에 피복율이 좋은 CVD법을 사용하여 SiO₂로 이루어지는 스루막(23)을 수십nm 정도의 두께로 형성한다. 다음으로, 다시 이온 주입법을 사용하여 불순물 도입층(9)과 동일한 도전형의 인, 비소 등의 불순물을 불순물 도입층(9)보다도 기판(1)이 깊은 위치, 예를 들면, 제 1 홀(20)의 바닥면으로부터 40 내지 50nm 정도의 깊이로 불순물 도입층(9)의 불순물 농도의 몇분의 1 정도, 예를 들면, $1 \times 10^{15} \text{ cm}^{-2}$ 정도의 농도로 주입하여, 확장 소스, 확장 드레인을 형성하는 제 2 불순물 도입층(7)을 형성한다(도 2d).

여기에 전기로에서 900℃, 30분 정도, 혹은 급속 가열법에 의해 1050℃, 10초 정도의 어닐링을 실시하여, 지금까지 기판(1)에 주입한 불순물을 활성화한다.

다음으로, CVD법과 이방성 에칭을 조합하여, 제 1 홀(20)의 측벽에 SiO₂ 등의 절연 재료로 이루어지는 사이드 월(21)을 두께(L2)를 0.05 μm 정도로 형성하고, 또한, 제 1 홀(20)의 바닥면에서 기판(1)을 노출시킨다(도 2e).

이 사이드 월(21)을 마스크로 하여, 제 1 홀(20)의 바닥면에 노출되어 있는 기판(1)에 선택 에칭을 함으로써, 제 2 홀(22)을 제 2 불순물 도입층(7)의 프로파일의 끝 부분의 깊이 혹은 그 끝 부분보다도 수nm 정도 깊은 깊이까지 형성한다(도 2f).

다음으로, 950℃, 20분 정도의 건조 산소 속에서 제 2 홀(22)의 바닥면을 열 산화함으로써, 두께 2 내지 3nm의 게이트 절연막(5)을 형성하거나 혹은 CVD법 또는 스퍼터법 등을 사용하여, 제 2 홀(22)의 바닥면에 고유전율 절연막으로 이루어지는 게이트 절연막(5)을 형성한다(도 2g).

그 후, 홀 내를 폴리실리콘과 텅스텐실리사이드의 2층 구조로 메우거나 혹은 CVD법, 스퍼터법 등을 사용하여 TiN, Mo 등의 금속(13)으로 매입함으로써 게이트(G)를 형성하여, CMP 등으로 평탄화한다(도 2h).

마지막으로, 소스(S), 드레인(D)의 추출 전극(14)을 형성하여 트랜지스터(100B)를 얻는다(도 2i).

이렇게 하여 얻은 트랜지스터(100B)에서는 불순물 농도가 높은 소스(S) 및 드레인(D)이 게이트(G)보다도 얇은 위치에 형성되어 있기 때문에, 소스(S)와 드레인(D)의 거리는 도 1a 내지 도 1h의 트랜지스터(100A)보다도 더욱 길어져, 단채널 효과가 더욱 억제된 구조가 된다. 더욱이, 확장 소스(7a), 확장 드레인(7b)이 게이트(G)와 거의 같은 깊이까지 형성되어 있기 때문에, 전류 구동 능력 저감이 최소한으로 억제된다.

도 3a 내지 도 3i는 소스 또는 드레인을 형성하는 불순물 도입층과 반대 도전형의 반대 도전형 불순물 도입층(소위, 포켓 또는 Halo)을 소스 또는 드레인의 바로 아래에 설치함으로써, 단채널 효과를 더욱 효과적으로 억제하는 본 발명의 실시예의 홀 게이트형 MOS(MIS) 트랜지스터(100C)의 제조 공정의 설명도이다.

이 실시예에서는, 도 1a 내지 도 1h에 도시한 홀 게이트형 트랜지스터(100A)와 마찬가지로, p형의 실리콘 기판(1)에 소자 분리(2), 스루막(3), 웰(4), Vth의 적성화층(도시하지 않음)을 각각 형성하고(도 3a), 더욱이, 소스(S), 드레인(D)의 형성 영역에 n형의 불순물인 인, 비소 등을 $3 \times 10^{15} \text{ cm}^{-2}$ 정도의 농도로 0.1 내지 0.2 μm 정도의 깊이로 이온 주입함으로써 불순물 도입층(9)을 형성한다(도 3b).

다음으로, 불순물 도입층(9)을 형성하는 불순물과 반대 도전형의 붕소 등의 불순물을 불순물 도입층(9)보다도 20 내지 30nm 정도 깊은 위치에 $1 \times 10^{13} \text{ cm}^{-2}$ 정도의 농도로 이온 주입하여, 반대 도전형 불순물 도입층(24)을 형성한다(도 3c).

또한, 스루막(3) 상에 CVD법 등에 의해 SiO_2 등의 층간 절연막(11)을 0.2 내지 $0.3 \mu\text{m}$ 정도 퇴적하고, 그 위부터, 예를 들면, KrF 레이저 등을 사용한 리소그래피 기술에 의해, 소자 분리(2) 사이의 거의 중앙에 폭(L1)이 $0.18 \mu\text{m}$ 정도인 제 1 홈(20)을 층간 절연막(11)을 관통하여, 기판(1)의 불순물 도입층(9)의 프로파일의 끝 부분까지, 혹은 그 끝 부분보다도 수십nm 정도 얇은 깊이까지 형성한다(도 3d). 이 제 1 홈(20) 내의 바닥면 및 측면에 피복물이 얇은 CVD법을 사용하여 SiO_2 로 이루어지는 스루막(23)을 수십nm 정도의 두께로 형성한다.

다음으로, 다시 이온 주입법을 사용하여 불순물 도입층(9)과 같은 도전형의 인, 비소 등의 불순물을 제 1 홈(20)의 바닥면으로부터 40 내지 50nm 정도의 깊이로 $1 \times 10^{15} \text{ cm}^{-2}$ 정도의 농도로 주입하여, 확장 소스, 확장 드레인을 형성하는 제 2 불순물 도입층(7)을 형성한다. 그리고, 전기로에서 900°C , 30분 정도 혹은 급속 가열법에 의해 1050°C , 10초 정도의 어닐링을 실시하여, 지금까지 기판(1)에 주입한 불순물을 활성화한다.

이로써, 제 1 홈(20)의 바로 아래와 좌우가 인접하는 부위에서는 반대 도전형 불순물 도입층(24)의 불순물이 활성화 시에 전기적으로 보상됨으로써 n형층이 되며, 소스(S), 드레인(D) 형성 부위의 바로 아래에만 포켓(25)이 형성된다(도 3e).

이후, 제 2 홈(22)을 도 2a 내지 도 2i에 도시한 홈 게이트형 트랜지스터(100B)와 동일하게 형성하고(도 3f), 게이트 절연막(5)을 형성하며(도 3g), 홈을 매입하여 게이트(G)를 형성하며(도 3h), 추출 전극(14)을 형성함으로써 홈 게이트형 트랜지스터(100C)를 얻는다(도 3i).

이 트랜지스터(100C)에서는 불순물 농도가 높은 소스(S)와 드레인(D)이 게이트(G)보다도 얇은 위치에 형성됨으로써, 소스(S)와 드레인(D)이 직접 대향하는 일 없이, 또는 그들의 거리가 길게 되어 있는 것과 더불어, 소스(S)와 드레인(D)의 바로 아래에 공핍층 신장을 억제하는 포켓(25)이 형성되어 있기 때문에, 도 2a 내지 도 2i의 트랜지스터(100B)보다도 더욱 단채널 효과를 억제할 수 있다.

본 발명의 홈 게이트형 트랜지스터에 있어서는, 소스나 드레인의 두께를 후퇴시킴으로써, 소스나 드레인인 게이트와의 대향 면적을 저감시켜, 그것에 의해 소스 혹은 드레인과 게이트 사이의 용량을 저감시켜, 동작의 고속화를 도모할 수 있다. 예를 들면, 도 4a 내지 도 4j에 도시하는 바와 같이, 도 1a 내지 도 1h의 홈 게이트형 트랜지스터(100A)의 구조에 있어서, 소스나 드레인인 게이트와의 대향 면적을 저감시킨 홈 게이트형 트랜지스터(100D)를 얻을 수 있다.

즉, 우선, 도 1a 내지 도 1h의 홈 게이트형 트랜지스터(100A)와 같이, 기판(1)에 형성한 불순물 도입층(9)에 제 1 홈(20)을 형성하고(도 4a 내지 도 4c), 그 측벽에 사이드 웰(21)을 형성하지만(도 4d), 본 실시예에서는 사이드 웰(21)과 층간 절연막(11)과의 서로의 에칭 선택성을 다르게 하기 위해, 예를 들면, 층간 절연막(11)을 Si_3N_4 로 형성하고, 사이드 웰(21)을 SiO_2 로 형성한다.

다음으로, 사이드 웰(21)을 마스크로 하여 제 2 홈(22)을 형성하고(도 4e), 게이트 절연막(5)을 형성하며(도 4f), 홈에 금속(13)을 매입하여 게이트(G)를 형성하며(도 4g), 그 후, 선택 에칭함으로써, Si_3N_4 로 이루어지는 층간 절연막(11)만을 선택적으로 제거하여(도 4h(1)), 층간 절연막(11)의 선택적 에칭으로 노출한 소스(S), 드레인(D)에 대하여, 통상의 Si 에칭을 하여, 소스(S), 드레인(D)의 두께를 이들 저저항성이 손상되지 않을 정도의 두께, 예를 들면, $200\Omega/\square$ 이하에서 50nm 정도까지 후퇴시킨다.

이 층간 절연막(11)의 선택적 에칭으로 게이트(G)에 악영향이 미치지 않도록 하기 위해서는, 선택적 에칭을 하기 전에 게이트(G) 상을 마스크로 덮어 두는 것이 바람직하다. 또한, 도 4g에 도시하는 바와 같이 게이트(G)를 형성한 후, 도 4h(2)에 도시하는 바와 같이, CMP 등에 의해 소자 분리(2)의 높이까지 층간 절연막(11), 사이드 웰(21) 및 게이트(G)를 후퇴시켜 두고, 소스(S)나 드레인(D)과 게이트(G) 사이의 간격을 충분히 확보해 두는 것이 유효하다. CMP 등에 의해 노출한 소스(S), 드레인(D)에 대해서는 상술한 바와 같이, 통상의 Si 에칭을 하여, 소스(S), 드레인(D)의 두께를 이들 저저항성이 손상되지 않을 정도의 두께, 예를 들면, $200\Omega/\square$ 이하로 50nm 정도까지 후퇴시킨다(도 4i).

그 후, 다시, 층간 절연막(11b)을 형성하여, 여기에 소스(S), 드레인(D)의 추출 전극(14)을 형성하여, 홈 게이트형 트랜지스터(100D)를 얻는다(도 4j).

이렇게 하여 얻어진 트랜지스터(100D)의 소스(S), 드레인(D)의 두께(h2)는 도 1a 내지 도 1h의 트랜지스터(100A)의 소스(S), 드레인(D)의 두께(h1)보다도 얇다. 따라서, 소스, 드레인과 게이트와의 용량을 소스, 드레인이 게이트의 측면에서 대향하지 않는 도 8a 내지 도 8i의 종래의 트랜지스터(100X)와 같은 정도로 저감시킬 수 있다.

이렇게 소스, 드레인의 두께를 후퇴시킴으로써, 소스 혹은 드레인과 게이트와의 용량 저감은 도 2a 내지 도 2i, 도 3a 내지 도 3i에 도시한 홈 게이트형 트랜지스터(100B, 100C)에 대해서도 각각 동일하게 적용할 수 있다. 즉, 도 2a 내지 도 2i에 도시한 트랜지스터(100B)에 적용할 경우, 도 2h에 도시한 바와 같이 홈에 금속(13)을 매입하여 게이트(G)를 형성한 후(도 5a), 도 5b에 도시하는 바와 같이, CMP 등에 의해 소자 분리(2)의 높이까지 층간 절연막(11), 사이드 웰(21) 및 게이트(G)를 후퇴시켜 두고, 더욱이 Si 에칭을 함으로써 소스(S)와 드레인(D)의 두께를 후퇴시켜(도 5c), 그 위에 층간 절연막(11b)을 형성하여, 여기에 추출 전극(14)을 형성함으로써 트랜지스터(100E)를 얻는다(도 5d).

또한, 도 3a 내지 도 3i에 도시한 홈 게이트형 트랜지스터(100C)의 구조에 있어서도 동일하게 하여 소스와 게이트의 두께를 후퇴시켜, 도 6에 도시한 홈 게이트형 트랜지스터(100F)를 얻는다.

도 7a 내지 도 7j는 상술한 실시예의 홈 게이트형 트랜지스터보다도 소스, 드레인의 저항을 더욱 저감시킨 실시예의 홈 게이트형 트랜지스터(100G)의 제조 공정의 설명도이다. 이 실시예에서는 우선, 도 4 내지 도 4j에 도시한 홈 게이트형 트랜지스터(100D)와 마찬가지로, Si_3N_4 로 이루어지는 층간 절연막(11)을 형성하여, 그것을 관통하는 제 1 홈(20)을 형성하고(도 7a 내지 도 7c), 제 1 홈(20)의 측벽에 사이드 웰(21)을 형성하며, 그것을 마스크로 하여 제 2 홈(22)을 형성한다(도 7d).

다음으로, 제 2 홈(22)의 바닥면에 노출한 기판(1)에, 예를 들면 950°C , 10분 정도의 열 산화에 의해 희생 산화막(27)을 형성한다(도 7e).

그 후, 선택 에칭에 의해 Si_3N_4 로 이루어지는 층간 절연막(11)을 제거하여 소스(S) 및 드레인(D)의 표면을 노출시켜(도 7f), 더욱이 Si 에칭을 함으로써 소스(S)와 드레인(D)의 두께를 얇게 한다(도 7g).

이렇게 하여 두께를 얇게 한 소스(S) 및 드레인(D) 상에, Co, Ti 등의 금속을 퇴적시켜, 통상의 살리사이드법에 의해, Co, Ti 등의 살리사이드(28)를 형성한다(도 7h).

다음으로 희생 산화막(27)을 제거하여, 거기에 게이트 절연막(5)으로서, 고품질의 산화막을 CVD 등에 의해 형성하거나 혹은 Al_2O_3

등의 고유

전을 절연막을 퇴적한다. 이후, 상술한 실시예와 마찬가지로, 게이트 절연막(5) 상의 홈을 폴리실리콘과 텅스텐실리사이드의 2층 구조로 메우거나 혹은 금속(13)을 매입하여 게이트(G)를 형성하며(도 7i), 그 위에 층간 절연막(11b)을 형성하여, 여기에 추출 전극(14)을 형성함으로써 트랜지스터(100G)를 얻는다(도 7j).

이렇게 얇게 형성한 소스(S)와 드레인(D) 상에 Co, Ti 등의 실리사이드를 형성함으로써, 소스와 드레인의 저항을 저감시킨 고성능의 트랜지스터를 형성할 수 있다. 또한, 소스(S)와 드레인(D) 상의 실리사이드의 형성 금속으로서는 박막에 저저항으로 형성할 수 있으며, 리크를 가져오지 않는 것이면 되며, Co나 Ti에 한정되는 것은 아니다.

또한, 도 4 내지 도 4j, 도 5a 내지 도 5d에 도시한 실시예에서는 소스(S)와 드레인(D)의 후퇴를 게이트 형성 후에 행하고 있는 데 대하여, 도 7a 내지 도 7j에 도시한 실시예에서는 소스(S)와 드레인(D)의 후퇴를 희생 산화막(27)을 설치한 후(도 7e), 게이트(G)의 형성(도 7i) 전에 행하고 있지만, 본 발명에 있어서, 소스(S)와 드레인(D)의 후퇴는 어느 양태에 의해 후퇴시켜도 된다.

본 발명은 이 밖에 여러 가지 양태를 취할 수 있다. 예를 들면, 상술한 예에서는 n형의 MOS 또는 MIS 트랜지스터의 제조 방법에 대해서 설명하였지만, 기판 및 불순물의 도전형을 반대로 함으로써, p형의 트랜지스터에도 동일하게 적용할 수 있다.

게이트의 구성 재료로서 사용하는 금속이나 게이트 절연막으로서 사용하는 고유전을 절연막도 상술한 예에 한정되지 않는다. 워크 펌션(work function)이 적당한 금속이나 밴드 갭이 적당한 고유전을 절연 재료로, 성형성이 좋으며, 안정되어 있는 재료를 적당히 선택할 수 있다.

각종 막의 두께, 불순물 농도, 불순물층의 깊이 등도 상술한 예에 한정되지 않으며, 제작하는 상기 트랜지스터의 게이트 길이, V_{th} , 전류 구동 능력, 그 밖의 소기의 특성에 의해 최적화할 수 있다.

본 발명의 홈 게이트형 전계 효과 트랜지스터에 의하면, 고농도로 불순물이 도입된 소스와 드레인 사이에 게이트가 돌출하여 형성되어 있기 때문에, 종래의 홈 게이트형 트랜지스터에 비하여 소스와 드레인이 직접 대향하지 않고, 그들 사이의 거리를 길게 잡을 수 있다. 따라서, 단채널 효과를 효과적으로 억제할 수 있다.

또한, 소스 혹은 드레인과 게이트 사이의 절연막이 두께 3nm 정도의 게이트 절연막만인 종래의 홈 게이트형 트랜지스터에 비하여, 비교적 두꺼운 절연막으로 이루어지는 사이드 월이 설치되어 있기 때문에, 소스 혹은 드레인과 게이트 사이의 용량을 10분의 1 이하 정도로 저감시킬 수 있다.

또한, 본 발명의 홈 게이트형 전계 효과 트랜지스터의 제조 방법에 의하면, 게이트 절연막 및 게이트 형성을 소스나 드레인 형성을 위한 열 공정 후에 할 수 있다. 이 때문에, 게이트 절연막 재료로서 고유전을 절연막을 채용할 수 있어, 직접 터널 전류를 방지할 수 있음과 동시에, 게이트를 금속으로 형성하는 것도 가능해지기 때문에 게이트 공핍화에 의한 트랜지스터 성능 열화를 막을 수 있다.

또한, 본 발명에 있어서 게이트 길이를 규정하는 제 2 층의 폭은 리소그래피의 능력으로 규정되는 제 1 층의 폭보다도 짧아지기 때문에, 트랜지스터의 미세화를 리소그래피 능력으로 규정되는 디자인 룰로부터도 추진시킬 수 있다.

특히, 본 발명에 있어서, 소스와 드레인의 두께를 후퇴시킨 양태에 의하면, 소스 혹은 드레인과 게이트와의 대향 면적을 증가시키지 않고 소스, 드레인 상에 실리사이드를 형성할 수 있기 때문에, 소스, 드레인과 게이트와의 용량 저감과, 소스, 드레인의 저항 저감을 동시에 달성할 수 있다.

또한, 본 발명의 홈 게이트형 전계 효과 트랜지스터에 의하면, 종래의 다마신 게이트 트랜지스터에 비하여 적은 공정수로 제조할 수 있어, 제조 비용 저감도 도모할 수 있다.

(57) 청구의 범위

청구항 1.

불순물 도입층을 구비한 반도체 기판에 뚫은 제 1 층의 측벽에 형성된, 절연 재료로 이루어지는 사이드 월,

제 1 층의 바닥면에 뚫은 제 2 층의 바닥면에 설치된 게이트 절연막,

제 1 층과 제 2 층을 메우도록 형성된 게이트 및

상기 불순물 도입층으로 이루어지며, 사이드 월을 개재시켜 게이트와 대향하는 소스 및 드레인으로 이루어지는, 홈 게이트형 전계 효과 트랜지스터.

청구항 2.

제 1 항에 있어서,

소스 또는 드레인과 게이트 절연막 사이에 소스 또는 드레인을 형성하는 불순물 도입층보다도 저농도의 불순물이 도입된 제 2 불순물 도입층으로 이루어지는 확장 소스 또는 확장 드레인이 설치되어 있는, 홈 게이트형 전계 효과 트랜지스터.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

소스 또는 드레인을 형성하는 불순물 도입층과 반대 도전형의 반대 도전형 불순물 도입층이 소스 또는 드레인의 바로 아래에 형성되어 있는, 홈 게이트형 전계 효과 트랜지스터.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

소스 또는 드레인을 형성하는 불순물 도입층 상에 실리사이드가 적층되어 있는, 홈 게이트형 전계 효과 트랜지스터.

청구항 5.

반도체 기판에 소스 또는 드레인이 되는 불순물 도입층을 형성하고,

상기 반도체 기판에 제 1 홈을 뚫어,

제 1 홈의 측벽에 절연 재료로 이루어지는 사이드 월을 형성하며,

사이드 월을 마스크로 하여 제 1 홈의 바닥면에 제 2 홈을 뚫어,

제 2 홈의 바닥면에 게이트 절연막을 형성하며,

제 2 홈 및 제 1 홈을 매우도록 게이트를 형성하는 것을 특징으로 하는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

청구항 6.

제 5 항에 있어서,

제 1 홈을 불순물 도입층의 프로파일의 끝 부분보다도 얇은 깊이로 형성하고, 제 2 홈을 불순물 도입층의 프로파일의 끝 부분의 깊이 또는 상기 끝 부분보다도 깊은 깊이로 형성하는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

청구항 7.

제 5 항 또는 제 6 항에 있어서,

제 1 홈을 형성 후, 상기 불순물 도입층과 동일한 도전형의 제 2 불순물 도입층을 상기 불순물 도입층보다도 기판이 깊은 부위에 상기 불순물 도입층보다도 저농도의 불순물로 형성하고, 제 2 홈을 제 2 불순물 도입층에 형성하는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

청구항 8.

제 7 항에 있어서,

상기 불순물 도입층과 반대 도전형의 반대 도전형 불순물 도입층을 상기 불순물 도입층보다도 기판이 깊은 부위에 형성하고, 그 후에 제 1 홈을 형성하는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

청구항 9.

제 5 항 내지 제 8 항 중 어느 한 항에 있어서,

게이트 형성 후, 소스 또는 드레인이 되는 불순물 도입층의 두께를 후퇴시키는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

청구항 10.

제 5 항 내지 제 8 항 중 어느 한 항에 있어서,

제 2 홈 형성 후, 게이트 형성 전에 소스 또는 드레인이 되는 불순물 도입층의 두께를 후퇴시키는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

청구항 11.

제 9 항 또는 제 10 항에 있어서,

소스 또는 드레인 상에 실리사이드를 적층하는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

청구항 12.

제 10 항에 있어서,

제 2 홈 형성 후, 소스 또는 드레인이 되는 불순물 도입층의 두께를 후퇴시키기 전에 제 2 홈의 바닥면에 희생 산화막을 형성하고,

불순물 도입층의 불순물을 활성화시키는 열 처리를 실시하여,

소스 또는 드레인이 되는 불순물 도입층의 두께를 후퇴시키며,

그 후, 희생 산화막을 제거하여 게이트를 형성하는, 홈 게이트형 전계 효과 트랜지스터의 제조 방법.

요약

트랜지스터의 미세화와 대규모의 집적화를 도모하는 것 외에도, 단채널 효과를 효과적으로 억제하여, 드레인 혹은 소스와 게이트와의 용량을 저감시켜 동작 속도를 높일 수 있다. 홈 게이트형 전계 효과 트랜지스터(100A)의 제조 방법이 반도체 기판(1)에 소스 또는 드레인이 되는 불순물 도입층(9)을 형성하고, 이 반도체 기판(1)에 제 1 홈(20)을 뚫어, 제 1 홈(20)의 측벽에 절연 재료로 이루어지는 사이드 월(21)을 형성하며, 사이드 월(21)을 마스크로 하여 제 1 홈의 바닥면에 제 2 홈(22)을 뚫어, 제 2 홈(22)의 바닥면에 게이트 절연막(5)을 형성하며, 제 2 홈(22) 및 제 1 홈(20)을 매우도록 게이트(G)를 형성하는 것으로 이루어진다.

도표도

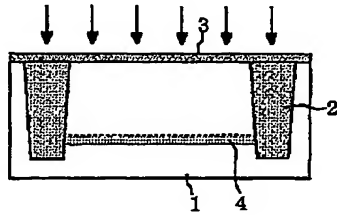
도 1h

색인어

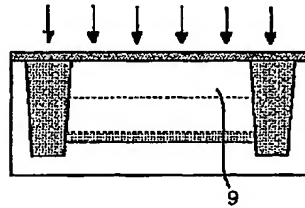
흙, 사이드 월, 게이트, 드레인

도면

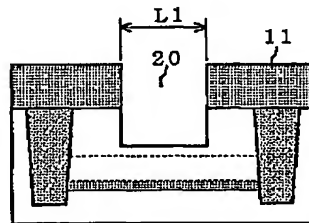
도면 1a



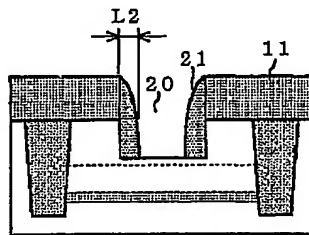
도면 1b



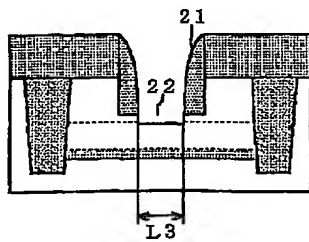
도면 1c



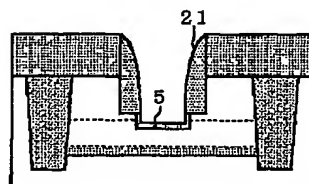
도면 1d



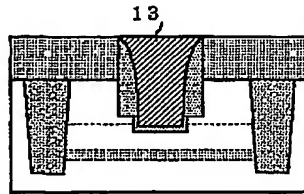
도면 1e



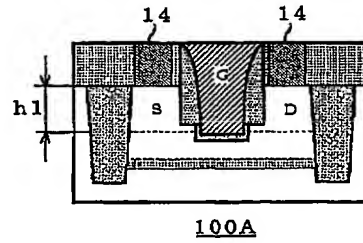
도면 1f



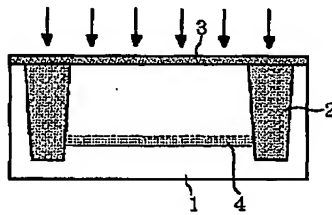
도면 1g



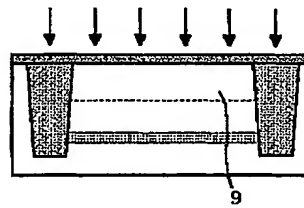
도면 1h



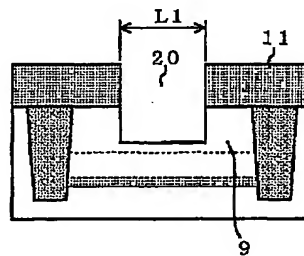
도면 2a



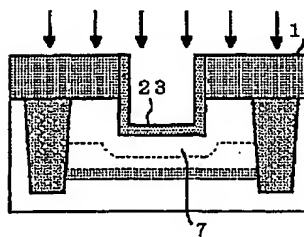
도면 2b



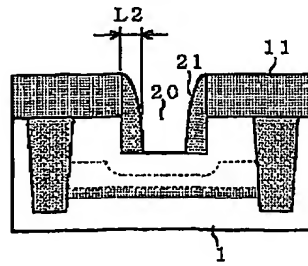
도면 2c



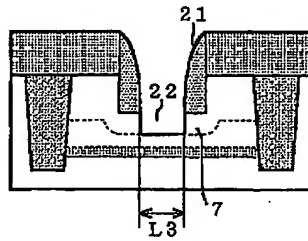
도면 2d



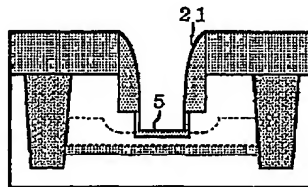
도면 2e



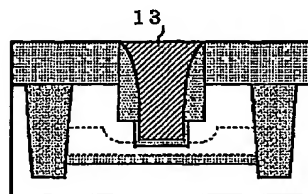
도면 2f



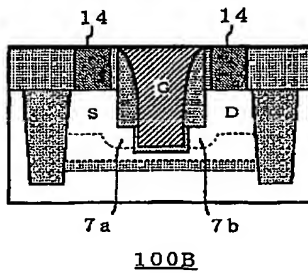
도면 2g



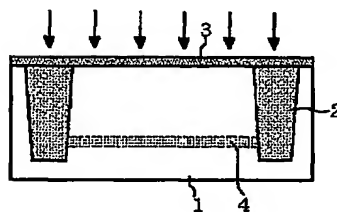
도면 2h



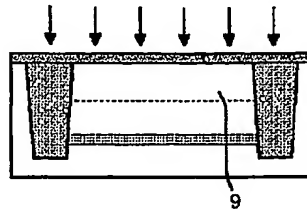
도면 2i



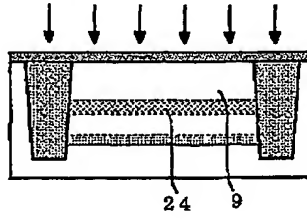
도면 3a



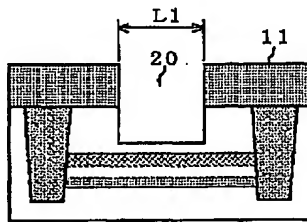
도면 3b



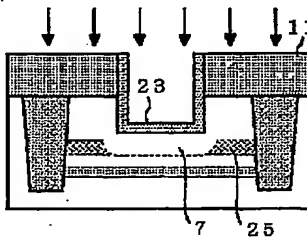
도면 3c



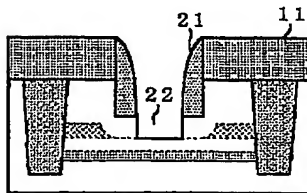
도면 3d



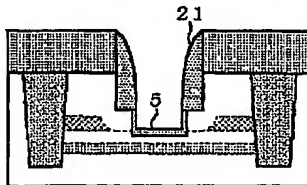
도면 3e



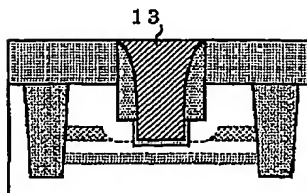
도면 3f



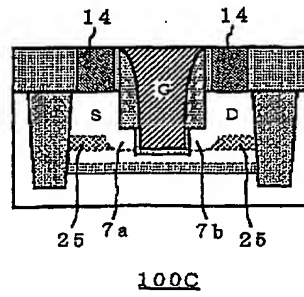
도면 3g



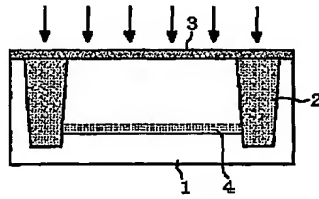
도면 3h



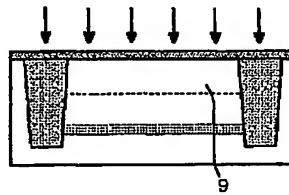
도면 3i



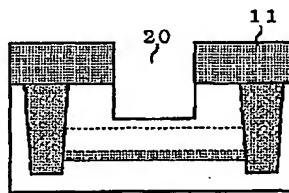
도면 4a



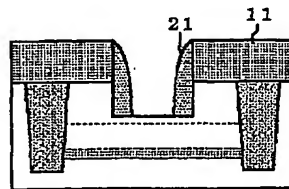
도면 4b



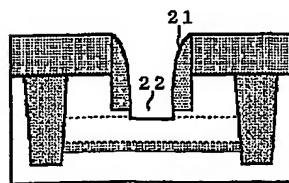
도면 4c



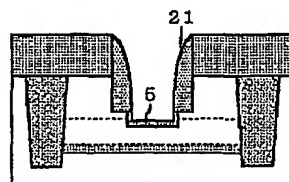
도면 4d



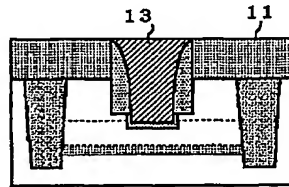
도면 4e



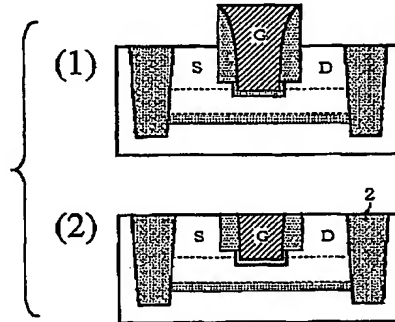
도면 4f



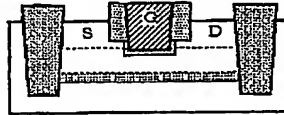
도면 4g



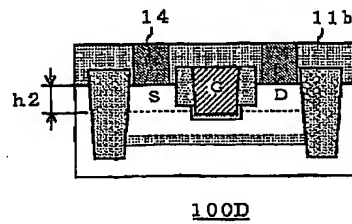
도면 4h



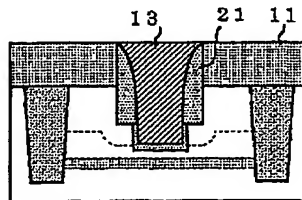
도면 4i



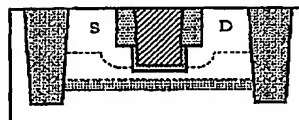
도면 4j



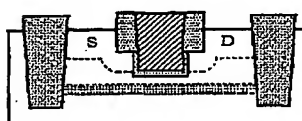
도면 5a



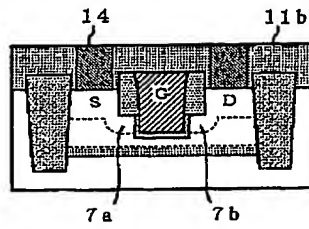
도면 5b



도면 5c

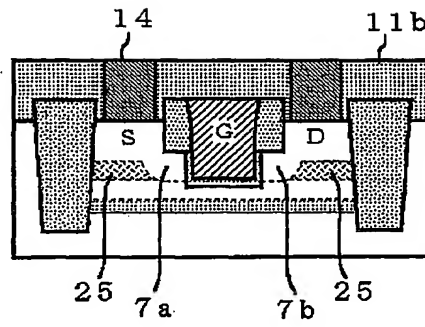


도면 5d



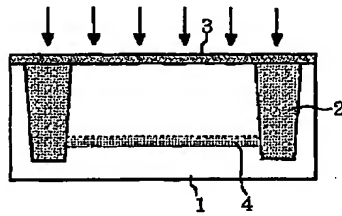
100E

도면 6

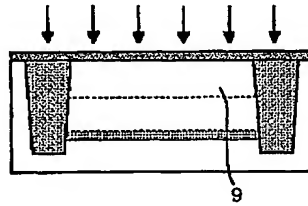


100F

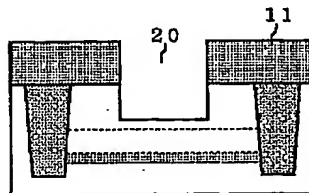
도면 7a



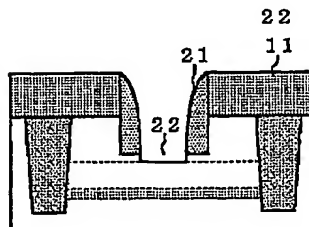
도면 7b



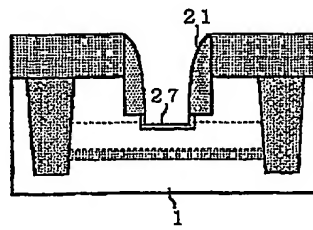
도면 7c



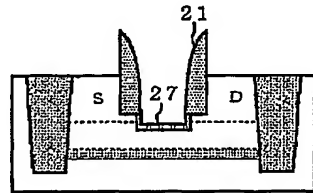
도면 7d



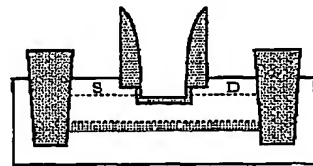
도면 7e



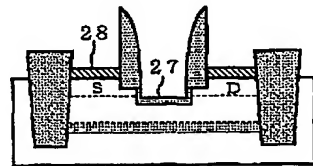
도면 7f



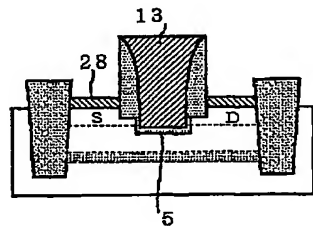
도면 7g



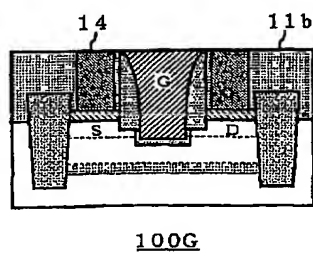
도면 7h



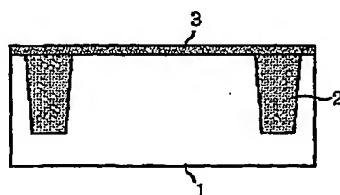
도면 7i



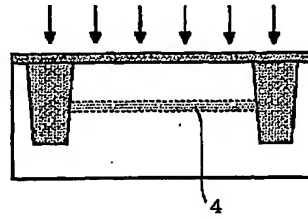
도면 7j



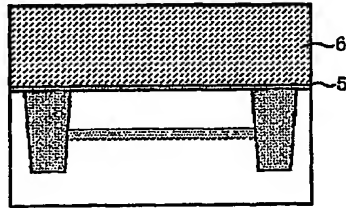
도면 8a



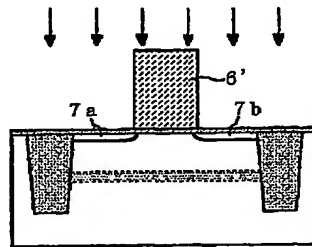
도면 8b



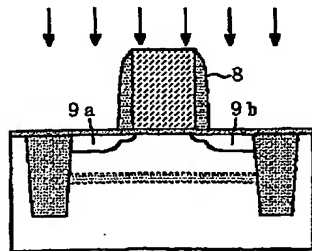
도면 8c



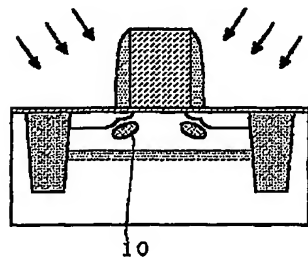
도면 8d



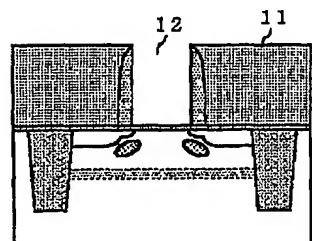
도면 8e



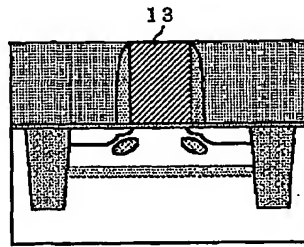
도면 8f



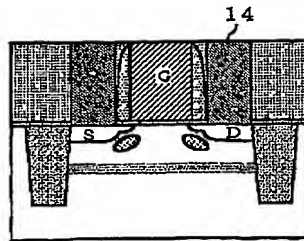
도면 8g



도면 8h

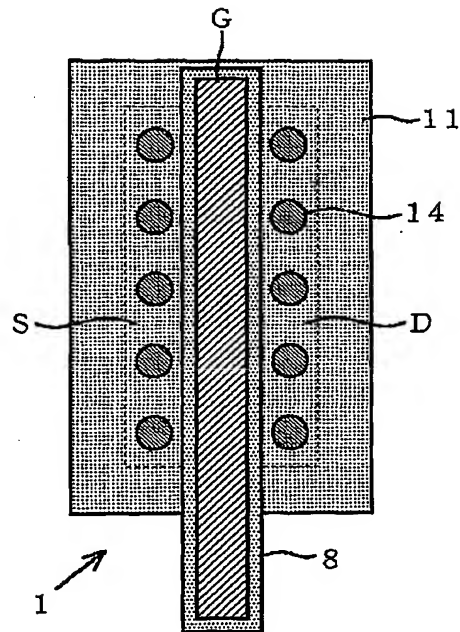


도면 8i

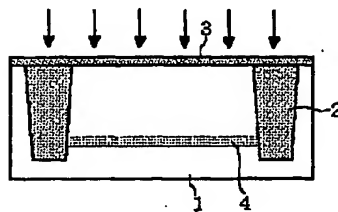


100X

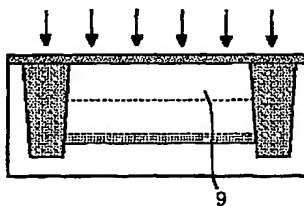
도면 9



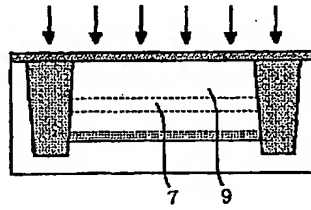
도면 10a



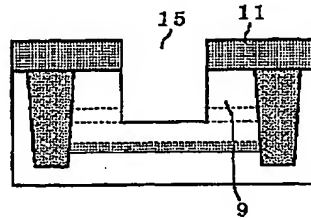
도면 10b



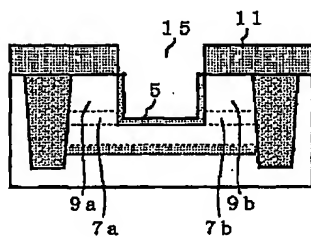
도면 10c



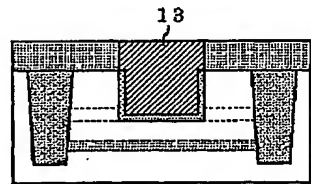
도면 10d



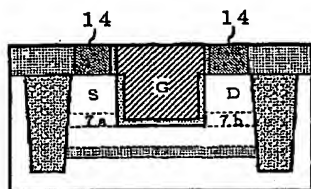
도면 10e



도면 10f



도면 10g



100Y

도면 11

